



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010059019 (43) Publication Date. 20010706

(21) Application No.1019990066397 (22) Application Date. 19991230

(51) IPC Code:

H01L 21/8242

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

JANG, HEON YONG

YOON, HUI YONG

(30) Priority:

(54) Title of Invention

METHOD FOR FORMING BIT LINE OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for forming a bit line is to prevent the bit line from being damaged on a following process by forming a capacitor contact prior to the formation of the bit line.

CONSTITUTION: A substrate is formed with the first interlayer dielectric(1) having a contact plug for a bit line and the first contact plug for a capacitor on a cell portion, and a word line on the cell portion and a peripheral circuit portion. The second interlayer dielectric(4), an etching stop film (5) and the first insulating film(6) are deposited on the entire surface of the substrate. The first insulating film is formed with a capacitor contact hole for exposing the first contact plug. The second insulating film spacer is formed on a sidewall of the capacitor contact hole, and the second contact plug is formed on the spacer. The first insulating film of the bit

line is etched, and a bit line contact hole is formed on the cell portion and peripheral circuit portion. The third insulating film spacer is formed on a sidewall of the bit line. A dispersion barrier film() and a metallic layer are formed on the entire surface of the substrate.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/8242	(11) 공개번호 특2001-0059019 (43) 공개일자 2001년 07월 06일
--	--

(21) 출원번호 10-1999-0066397 (22) 출원일자 1999년 12월 30일	(71) 출원인 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산 136-1 윤희용
(72) 발명자 서울특별시 광진구 자양동 638-21호 장현용	서울특별시 관악구 봉천 4동 1585-9호 이후동, 이정훈
(74) 대리인	

설사첨구 : 없음

(54) 반도체소자의 비트라인 형성방법

요약

본 발명은 반도체소자의 비트라인 형성방법에 관한 것으로, 셀 부에 비트라인용 콘택플러그 및 캐패시터 용 제1콘택플러그가 구비되고 셀부 및 주변회로부에 웨드라인이 구비되는 제1층간절연막을 반도체기판 상부에 형성하한 다음, 전체표면상부에 제1층간절연막 상부에 제2층간절연막, 식각방지막 및 제1절연막을 적층하고 상기 캐패시터용 제1콘택플러그를 노출시키는 캐패시터 콘택홀을 형성한 다음, 상기 캐패시터 콘택홀 측벽에 제2절연막 스페이서를 형성하고 이를 매립하는 캐패시터 제2콘택플러그를 형성한 다음, 상기 식각방지막을 식각장벽으로 하여 비트라인 영역의 상기 제1절연막을 식각하고 셀부 및 주변회로부에 비트라인 콘택홀을 형성한 다음, 상기 비트라인 측벽에 제3절연막 스페이서를 형성하고 상기 전체표면상부에 확산장벽층 및 비트라인용 금속층을 형성한 다음, 상기 제1절연막의 일정깊이까지 상기 확산장벽층 및 비트라인용 금속층을 식각하고 상기 확산장벽층 및 비트라인용 금속층 상측으로 상기 제1절연막 높이까지 제4절연막을 형성하는 공정으로 비트라인의 절연특성을 향상시키며 공정을 단순화시켜 캐패시터 콘택플러그를 형성하여 반도체소자의 특성 및 신뢰성을 향상시키고 반도체소자의 수율 및 생산성을 향상시키는 기술이다.

대표도

도24

영세서

도면의 간단한 설명

도 1 내지 도 24 는 본 발명의 제1실시예에 따른 반도체소자의 비트라인 형성방법을 도시한 단면도.

도 25 내지 도 39 는 본 발명의 제2실시예에 따른 반도체소자의 비트라인 형성방법을 도시한 단면도.

도 40 내지 도 43 는 본 발명의 제3실시예에 따른 반도체소자의 비트라인 형성방법을 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

1 : 제1층간절연막	2 : 제1강광막패턴
3 : 제1폴리실리콘	4 : 제2층간절연막
5 : 식각방지막	6 : 제1절연막
7 : 제2절연막	8 : 제3절연막
9 : 확산방지막	10 : 비트라인용 금속층
11 : 제4절연막	12 : 제2강광막패턴
13 : 제2폴리실리콘	22 : 제3강광막패턴
32 : 제4강광막패턴	42 : 제5강광막패턴
100 : 반도체기판	
A : 소자분리막	B : 웨드라인

C : 앤형 엑티브

D : 피형 엑티브

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 비트라인 형성방법에 관한 것으로, 특히 커패시터와 하부 전도막을 연결하는 콘택을 상감 기법에 의한 금속 비트라인 형성 공정과 접목하여 커패시터 콘택 형성시 필요했던 자기정렬적인 콘택 (Self Aligned Contact) 공정을 적용하지 않고 DRAM을 제조할 수 있는 기술에 관한 것이다.

반도체 DRAM 소자의 최소 사이즈가 감소함에 따라 각종 라인에 금속을 사용하여 비저항을 낮추어 RC Delay를 줄이기 위한 목적의 일환으로 금속 비트 라인을 적용하는 것이 현재의 추세이다.

그러나 양산 및 연구 개발에서 포지티브 형의 강광막을 사용하는 경우 포지티브형 강광막의 특성상 비트 라인 식각공정후에도 마스크 작업이 진행되지 않는 지역에는 비트 라인용 금속이 존재하게 되는데, 넓은 지역에 걸쳐 비트 라인 금속이 낭비 될 경우, 금속 자체의 스트레스나 후속 열공정에 의해 금속이 들고 일어나는 현상이 발생하게 된다.

또한 비트 라인을 절연시키는 절연 물질 증착공정시 나쁜 단차피복비로 인하여 상기 비트라인 사이에 보이드 (void) 가 형성되는 현상이 빈번하게 발생하고 있다.

그리고 커패시터를 하부의 전도막과 연결하는 콘택을 형성하기 위한 식각 공정시 비트라인이 손상되는 경우가 발생된다.

상기한 바와같이 종래기술에 따른 반도체소자의 비트라인 형성방법은, 비트라인이 손상되거나 비트라인의 절연특성이 나빠 반도체소자의 특성 및 신뢰성을 저하시키며 반도체소자의 수율 및 생산성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, DRAM 메모리 소자의 전체 구조를 고려하여 상 강 기법의 금속 비트라인 형성 이전에 커패시터 콘택을 형성함으로써 후속공정으로 인한 비트라인의 손상을 방지하고 절연특성이 향상된 비트라인을 형성하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 반도체소자의 비트라인 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 비트라인 형성방법은,

셀부에 비트라인용 콘택플러그 및 캐퍼시터용 제1콘택플러그가 구비되고 셀부 및 주변회로부에 워드라인 이 구비되는 제1층간절연막을 반도체기판 상부에 형성하는 공정과,

전체표면상부에 제1층간절연막 상부에 제2층간절연막, 식각방지막 및 제1절연막을 적층하는 공정과,

상기 캐퍼시터용 제1콘택플러그를 노출시키는 캐퍼시터 콘택홀을 형성하는 공정과,

상기 캐퍼시터 콘택홀 측벽에 제2절연막 스페이서를 형성하고 이를 매립하는 캐퍼시터 제2콘택플러그를 형성하는 공정과,

상기 식각방지막을 식각장벽으로 하여 비트라인 영역의 상기 제1절연막을 식각하고 셀부 및 주변회로부에 비트라인 콘택홀을 형성하는 공정과,

상기 비트라인 측벽에 제3절연막 스페이서를 형성하는 공정과,

상기 전체표면상부에 확산장벽층 및 비트라인용 금속층을 형성하고 상기 제1절연막의 일정깊이까지 상기 확산장벽층 및 비트라인용 금속층을 식각하는 공정과,

상기 확산장벽층 및 비트라인용 금속층 상측으로 상기 제1절연막 높이까지 제4절연막을 형성하는 공정을 포함하는 것과,

상기 제2절연막 스페이서 형성공정없이 비트라인을 형성하는 것과,

상기 제3절연막 스페이서 형성공정없이 비트라인을 형성하는 것을 특징으로 한다.

여기서, 상기 제2,3,4절연막은 실리콘산화질화막이나 실리콘질화막으로 형성한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1 내지 도 24 는 본 발명의 제1실시예에 따른 반도체소자의 비트라인 형성방법을 제공하는데 그 목적 이 있다.

먼저, 반도체소자의 활성영역을 정의하는 소자분리막(A)을 형성한다. 이때, 상기 소자분리막은 트렌치 (Shallow Trench Isolation) 형태로 형성한다.

그리고, 상기 반도체기판(100) 상부에 워드라인(B)을 형성한다. 이때, 상기 워드라인(B)은 상부 및 측벽에 절연막이 형성되어 절연특성이 향상된 것이다.

그 다음, 상기 반도체기판에 엔형 (n-Type) (C)과 피형 (p-Type) (D)의 불순물을 이온주입하여 엑티브 영역을 형성한다.

그리고, 전체표면상부에 제1층간절연막(1)을 형성한다. (도 1)

그리고, 마스크 공정으로 셀 어레이 지역에서 엔형 엑티브 영역과 커패시터 및 비트라인을 연결하는 콘택이 형성되는 지역만 오픈시키는 제1감광막패턴(2)을 형성한다. (도 2)

그리고, 상기 제1감광막패턴(2)을 마스크로하여 상기 제1층간절연막(1)을 식각함으로써 상기 엔형 엑티브 영역(C)을 노출시키는 콘택홀을 형성한다.

그리고, 상기 제1감광막패턴(2)을 제거한다. (도 3)

그 다음, 상기 콘택홀을 제1폴리실리콘(3)을 전체표면상부에 형성하고 이를 평탄화식각하여 비트라인 및 캐퍼시터 제1콘택플러그를 형성한다.

여기서, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 4, 도 5)

그 다음, 전체표면상부에 제2층간절연막(4)을 평탄화시켜 형성한다. 상기 제2층간절연막(4)은 상기 제1층간절연막(1)과 같이 유동성이 우수한 산화계 절연물질로 형성한다.

그리고, 그 상부에 상감 기법에 의한 비트라인 형성용 식각방지막(5) 및 제1절연막을 적층한다. (도 6)

그리고, 상기 캐퍼시터용 제1콘택플러그를 노출시킬 수 있는 제2감광막패턴(12)을 상기 제1절연막(6) 상부에 형성한다.

이때, 상기 제2감광막패턴(12)은 캐퍼시터 콘택마스크를 이용한 노광 및 현상공정으로 형성한다.

그리고, 상기 제1절연막(6)은 상기 제1,2층간절연막(1,4)와 유사한 특성을 갖는 절연물질로 형성한다. (도 7)

그 다음, 상기 제2감광막패턴(12)을 마스크로하는 식각 공정으로 상기 제1절연(6), 식각방지막(5) 및 제2층간절연막(4)을 식각하여 상기 캐퍼시터용 제1콘택플러그인 제1폴리실리콘(3)을 노출시키는 캐퍼시터용 콘택홀을 형성한다. (도 8)

그리고, 커패시터 콘택간 그리고 커패시터 콘택과 비트라인 사이의 절연을 위하여 제2절연막(7)을 전체표면상부에 증착한다(도 9)

그리고, 상기 제1절연막(6)이 노출될때까지 평탄화식각하여 상기 캐퍼시터용 콘택홀 측벽에 제2절연막 스페이서를 형성한다. 이때, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 10)

그리고, 상기 커패시터 콘택홀을 매립하는 제2폴리 실리콘(13)을 전체표면상부에 형성한다. (도 11)

상기 제2폴리실리콘(13)을 상기 제1절연막(6)이 노출될때까지 평탄화식각하여 상기 캐퍼시터 콘택홀을 상기 제2폴리실리콘(13)으로 매립한다. 이때, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 12)

그 다음, 전체표면상부에 비트라인 마스크를 이용한 노광 및 현상공정으로 제3감광막패턴(22)을 형성한다. (도 13)

그리고, 상기 제3감광막패턴(22)을 마스크로하여 상기 식각방지막(5)을 베리어로 하며 상기 제1절연막(6)을 식각한다. (도 14)

그 다음, 전체표면상부에 제4감광막패턴(32)을 형성한다. 이때, 상기 제4감광막패턴(32)은 전체표면상부에 제4감광막을 도포하고 이를 비트라인 콘택마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것으로서, 셀 어레이 부분에만 콘택을 형성할 수 있도록 형성한 것이다. (도 15)

그리고, 상기 제4감광막패턴(32)을 마스크로하여 상기 식각방지막(5) 및 제1층간절연막(4)을 식각하여 상기 비트라인 콘택플러그용 제1폴리실리콘(3)을 노출시킨다. (도 16)

그 다음, 셀 어레이 이외의 지역, 즉 주변회로부의 비트라인과 엔형(C) 및 피형(D) 엑티브와 워드라인(B)을 연결하는 시킬 수 있는 주변회로부용 비트라인 콘택마스크를 이용한 노광 및 현상공정으로 제5감광막패턴(42)을 형성한다. (도 17)

그리고, 상기 제5감광막패턴(42)을 마스크로하여 상기 식각방지막(5)과 제1,2층간절연막(1,4)을 제거하는 식각 공정을 진행한다. (도 18)

상기 제5감광막패턴(42)을 제거하고 전체표면상부에 제3절연막(8)의 증착한 다음, 이를 이방성식각하여 상기 반도체기판(100) 상부 구조의 측벽에 제3절연막(8)으로 스페이서를 형성한다. (도 19, 도 20)

그 다음, 전체표면상부에 확산방지막(9)을 전체표면상부에 일정두께 형성한다. 이때, 상기 확산방지막(9)은 Ti, TiN, TiSiN, TiAIN 또는 이들의 조합으로 이루어진 것이다.

그리고, 상기 확산방지막 상부에 비트라인용 금속층(10)을 증착한다.

이때, 상기 비트라인용 금속층(10)은 텁스텐이나 티타늄실리사이드 계열의 금속으로 형성된 것이다. (도 21)

그 다음, 화학적 기계적 연마와 에치-백 공정 또는 에치-백 공정만으로 상기 제1절연막(6) 표면으로부터 적정한 깊이 까지 비트라인 금속(10)과 확산방지막(9)을 식각한다. (도 22)

그리고, 전체표면상부에 커패시터와 비트라인 간의 절연 특성 향상을 위한 제4절연막(11)을 증착하고 이를 상기 제1절연막(6) 표면까지 화학적 기계적 연마 또는 에치-백 공정으로 평탄화식각하여 절연특성이

향상된 비트라인을 형성하는 동시에 캐패시터 콘택 플러그를 형성하여 반도체소자의 특성 및 신뢰성을 향상시킨다. (도 23, 도 24)

도 25 내지 도 39 는 본 발명의 제2실시예에 따른 반도체소자의 비트라인 형성방법을 도시한 단면도로서, 상기 제1실시예의 도 1 내지 도 8 의 공정에 연속된 것이다.

먼저, 반도체소자의 활성영역을 정의하는 소자분리막(A)을 형성한다. 이때, 상기 소자분리막은 트렌치 (Shallow Trench Isolation) 형태로 형성한다.

그리고, 상기 반도체기판(100) 상부에 워드라인(B)을 형성한다. 이때, 상기 워드라인(B)은 상부 및 측벽에 절연막이 형성되어 절연특성이 향상된 것이다.

그 다음, 상기 반도체기판에 엔형 (n-Type)(C)과 피형 (p-Type)(D)의 불순물을 이온주입하여 엑티브 영역을 형성한다.

그리고, 전체표면상부에 제1층간절연막(1)을 형성한다. (도 1)

그리고, 마스크 공정으로 셀 어레이 지역에서 엔형 엑티브 영역과 커패시터 및 비트라인을 연결하는 콘택이 형성되는 지역만 오픈시키는 제1감광막패턴(2)을 형성한다. (도 2)

그리고, 상기 제1감광막패턴(2)을 마스크로하여 상기 제1층간절연막(1)을 식각함으로써 상기 엔형 엑티브 영역(C)을 노출시키는 콘택홀을 형성한다.

그리고, 상기 제1감광막패턴(2)을 제거한다. (도 3)

그 다음, 상기 콘택홀을 제1폴리실리콘(3)을 전체표면상부에 형성하고 이를 평탄화식각하여 비트라인 및 캐패시터 제1콘택플러그를 형성한다.

여기서, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 4, 도 5)

그 다음, 전체표면상부에 제2층간절연막(4)을 평탄화시켜 형성한다. 상기 제2층간절연막(4)은 상기 제1층간절연막(1)과 같이 유동성이 우수한 산화계 절연물질로 형성한다.

그리고, 그 상부에 상감 기법에 의한 비트라인 형성용 식각방지막(5) 및 제1절연막을 적층한다. (도 6)

그리고, 상기 캐패시터용 제1콘택플러그를 노출시킬 수 있는 제2감광막패턴(12)을 상기 제1절연막(6) 상부에 형성한다.

이때, 상기 제2감광막패턴(12)은 캐패시터 콘택마스크를 이용한 노광 및 현상공정으로 형성한다.

그리고, 상기 제1절연막(6)은 상기 제1,2층간절연막(1,4)와 유사한 특성을 갖는 절연물질로 형성한다. (도 7)

그 다음, 상기 제2감광막패턴(12)을 마스크로하는 식각 공정으로 상기 제1절연(6), 식각방지막(5) 및 제2층간절연막(4)을 식각하여 상기 캐패시터용 제1콘택플러그인 제1폴리실리콘(3)을 노출시키는 캐패시터용 콘택홀을 형성한다. (도 8)

그리고, 공정 마진을 크게 하기 위하여 커패시터 콘택간 그리고 커패시터 콘택과 비트라인 사이의 절연을 위한 상기 제2절연막(7) 증착공정을 생략하고, 상기 커패시터 콘택홀을 매립하는 제2폴리실리콘(13)을 전체표면상부에 형성한다. (도 25, 도 26)

그 다음, 상기 제2폴리실리콘(13)을 상기 제1절연막(6)이 노출될때까지 평탄화식각하여 상기 캐패시터 콘택홀을 상기 제2폴리실리콘(13)으로 매립한다. 이때, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 27)

그 다음, 전체표면상부에 비트라인 마스크를 이용한 노광 및 현상공정으로 제3감광막패턴(22)을 형성한다. (도 28)

그리고, 상기 제3감광막패턴(22)을 마스크로하여 상기 식각방지막(5)을 베리어로 하며 상기 제1절연막(6)을 식각한다. (도 29)

그 다음, 전체표면상부에 제4감광막패턴(32)을 형성한다. 이때, 상기 제4감광막패턴(32)은 전체표면상부에 제4감광막을 도포하고 이를 비트라인 콘택마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것으로서, 셀 어레이 부분에만 콘택을 형성할 수 있도록 형성한 것이다. (도 30)

그리고, 상기 제4감광막패턴(32)을 마스크로하여 상기 식각방지막(5) 및 제1층간절연막(4)을 식각하여 상기 비트라인 콘택플러그용 제1폴리실리콘(3)을 노출시킨다. (도 31)

그 다음, 셀 어레이 이외의 지역, 즉 주변회로부의 비트라인과 엔형(C) 및 피형(D) 엑티브와 워드라인(B)을 연결하는 시킬 수 있는 주변회로부용 비트라인 콘택마스크를 이용한 노광 및 현상공정으로 제5감광막패턴(42)을 형성한다. (도 32)

그리고, 상기 제5감광막패턴(42)을 마스크로하여 상기 식각방지막(5)과 제1,2층간절연막(1,4)을 제거하는 식각 공정을 진행한다. (도 33)

상기 제5감광막패턴(42)을 제거하고 전체표면상부에 제3절연막(8)의 증착한 다음, 이를 이방성식각하여 상기 반도체기판(100) 상부 구조의 측벽에 제3절연막(8)으로 스페이서를 형성한다. (도 34, 도 35)

그 다음, 전체표면상부에 확산방지막(9)을 전체표면상부에 일정두께 형성한다. 이때, 상기 확산방지막(9)은 Ti, TiN, TiSiN, TiAlN 또는 이들의 조합으로 이루어진 것이다.

그리고, 상기 확산방지막 상부에 비트라인용 금속층(10)을 증착한다.

이때, 상기 비트라인용 금속층(10)은 텅스텐이나 티타늄실리사이드 계열의 금속으로 형성된 것이다. (도 36)

그 다음, 화학적 기계적 연마와 에치-백 공정 또는 에치-백 공정만으로 상기 제1절연막(6) 표면으로부터 적정한 깊이 까지 비트라인 금속(10)과 확산방지막(9)을 식각한다. (도 37)

그리고, 전체표면상부에 커패시터와 비트라인 간의 절연 특성 향상을 위한 제4절연막(11)을 증착하고 이를 상기 제1절연막(6) 표면까지 화학적 기계적 연마 또는 에치-백 공정으로 평탄화식각하여 절연특성이 향상된 비트라인을 형성하는 동시에 캐퍼시터 콘택 플러그를 형성하여 반도체소자의 특성 및 신뢰성을 향상시킨다. (도 38, 도 39)

도 40 내지 도 43 는 본 발명의 제3실시예에 따른 반도체소자의 비트라인 형성방법을 제공하는데 그 목적이 있다.

먼저, 반도체소자의 활성영역을 정의하는 소자분리막(A)을 형성한다. 이때, 상기 소자분리막은 트렌치(Shallow Trench Isolation) 형태로 형성한다.

그리고, 상기 반도체기판(100) 상부에 워드라인(B)을 형성한다. 이때, 상기 워드라인(B)은 상부 및 측벽에 절연막이 형성되어 절연특성이 향상된 것이다.

그 다음, 상기 반도체기판에 엔형(n-Type)(C)과 피형(p-Type)(D)의 불순물을 이온주입하여 엑티브 영역을 형성한다.

그리고, 전체표면상부에 제1층간절연막(1)을 형성한다. (도 1)

그리고, 마스크 공정으로 셀 어레이 지역에서 엔형 엑티브 영역과 커패시터 및 비트라인을 연결하는 콘택이 형성되는 지역만 오픈시키는 제1감광막패턴(2)을 형성한다. (도 2)

그리고, 상기 제1감광막패턴(2)을 마스크로하여 상기 제1층간절연막(1)을 식각함으로써 상기 엔형 엑티브 영역(C)을 노출시키는 콘택홀을 형성한다.

그리고, 상기 제1감광막패턴(2)을 제거한다. (도 3)

그 다음, 상기 콘택홀을 제1폴리실리콘(3)을 전체표면상부에 형성하고 이를 평탄화식각하여 비트라인 및 캐퍼시터 제1콘택플러그를 형성한다.

여기서, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 4, 도 5)

그 다음, 전체표면상부에 제2층간절연막(4)을 평탄화시켜 형성한다. 상기 제2층간절연막(4)은 상기 제1층간절연막(1)과 같이 유동성이 우수한 산화계 절연물질로 형성한다.

그리고, 그 상부에 상감 기법에 의한 비트라인 형성용 식각방지막(5) 및 제1절연막을 적층한다. (도 6)

그리고, 상기 캐퍼시터용 제1콘택플러그를 노출시킬 수 있는 제2감광막패턴(12)을 상기 제1절연막(6) 상부에 형성한다.

이때, 상기 제2감광막패턴(12)은 캐퍼시터 콘택마스크를 이용한 노광 및 현상공정으로 형성한다.

그리고, 상기 제1절연막(6)은 상기 제1,2층간절연막(1,4)와 유사한 특성을 갖는 절연물질로 형성한다. (도 7)

그 다음, 상기 제2감광막패턴(12)을 마스크로하는 식각 공정으로 상기 제1절연(6), 식각방지막(5) 및 제2층간절연막(4)을 식각하여 상기 캐퍼시터용 제1콘택플러그인 제1폴리실리콘(3)을 노출시키는 캐퍼시터용 콘택홀을 형성한다. (도 8)

그리고, 커패시터 콘택간 그리고 커패시터 콘택과 비트라인 사이의 절연을 위하여 제2절연막(7)을 전체표면상부에 증착한다(제9도).

그리고, 상기 제1절연막(6)이 노출될 때까지 평탄화식각하여 상기 캐퍼시터용 콘택홀 측벽에 제2절연막 스페이서를 형성한다. 이때, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 10)

그리고, 상기 커패시터 콘택홀을 매립하는 제2폴리 실리콘(13)을 전체표면상부에 형성한다. (도 11)

상기 제2폴리실리콘(13)을 상기 제1절연막(6)이 노출될 때까지 평탄화식각하여 상기 캐퍼시터 콘택홀을 상기 제2폴리실리콘(13)으로 매립한다. 이때, 상기 평탄화식각공정은 CMP 공정이나 에치백공정으로 실시한다. (도 12)

그 다음, 전체표면상부에 비트라인 마스크를 이용한 노광 및 현상공정으로 제3감광막패턴(22)을 형성한다. (도 13)

그리고, 상기 제3감광막패턴(22)을 마스크로하여 상기 식각방지막(5)을 베리어로 하며 상기 제1절연막(6)을 식각한다. (도 14)

그 다음, 전체표면상부에 제4감광막패턴(32)을 형성한다. 이때, 상기 제4감광막패턴(32)은 전체표면상부에 제4감광막을 도포하고 이를 비트라인 콘택마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것으로서, 셀 어레이 부분에만 콘택을 형성할 수 있도록 형성한 것이다. (도 15)

그리고, 상기 제4감광막패턴(32)을 마스크로하여 상기 식각방지막(5) 및 제1층간절연막(4)을 식각하여 상기 비트라인 콘택플러그용 제1폴리실리콘(3)을 노출시킨다. (도 16)

그 다음, 셀 어레이 이외의 지역, 즉 주변회로부의 비트라인과 엔형(C) 및 피형(D) 엑티브와 워드라인(8)을 연결하는 시킬 수 있는 주변회로부용 비트라인 콘택마스크를 이용한 노광 및 현상공정으

로 제5감광막패턴(42)을 형성한다. (도 17)

그리고, 상기 제5감광막패턴(42)을 마스크로하여 상기 식각방지막(5)과 제1,2층간절연막(1,4)을 제거하는 식각 공정을 진행한다. (도 18)

상기 제5감광막패턴(42)을 제거하고 전체표면상부에 확산방지막(9)을 전체표면상부에 일정두께 형성한다. 이때, 상기 확산방지막(9)은 Ti, TiN, TiSiN, TiAlN 또는 이들의 조합으로 이루어진 것이다.

그리고, 상기 확산방지막 상부에 비트라인용 금속층(10)을 증착한다.

이때, 상기 비트라인용 금속층(10)은 텅스텐이나 티타늄실리사이드 계열의 금속으로 형성된 것이다. (도 40)

그 다음, 화학적 기계적 연마와 에치-백 공정 또는 에치-백 공정만으로 상기 제1절연막(6) 표면으로부터 적정한 깊이 까지 비트라인용 금속층(10)과 확산방지막(9)을 식각한다. (도 41)

그리고, 전체표면상부에 캐패시터와 비트라인 간의 절연 특성 향상을 위한 제4절연막(11)을 증착하고 이를 상기 제1절연막(6) 표면까지 화학적 기계적 연마 또는 에치-백 공정으로 평탄화식각하여 절연특성이 향상된 비트라인을 형성하는 동시에 캐패시터 콘택 플러그를 형성하여 반도체소자의 특성 및 신뢰성을 향상시킨다. (도 42, 도 43)

발명의 효과

상기한 바와같이 본 발명에 따른 반도체소자의 비트라인 형성방법은, 별도의 자기정렬적인 콘택없이 캐패시터 콘택 공정을 실시하여 공정을 단순화시키고 비트라인의 특성을 향상시킴으로써 반도체소자의 특성 및 신뢰성을 향상시키고 반도체소자의 수율 및 생산성을 향상시킬 수 있는 효과를 제공한다.

(57) 청구의 범위

청구항 1

셀부에 비트라인용 콘택플러그 및 캐패시터용 제1콘택플러그가 구비되고 셀부 및 주변회로부에 워드라인 이 구비되는 제1층간절연막을 반도체기판 상부에 형성하는 공정과,

전체표면상부에 제1층간절연막 상부에 제2층간절연막, 식각방지막 및 제1절연막을 적층하는 공정과,

상기 캐패시터용 제1콘택플러그를 노출시키는 캐패시터 콘택홀을 형성하는 공정과,

상기 캐패시터 콘택홀을 측벽에 제2절연막 스페이서를 형성하고 이를 매립하는 캐패시터 제2콘택플러그를 형성하는 공정과,

상기 식각방지막을 측각장벽으로 하여 비트라인 영역의 상기 제1절연막을 식각하고 셀부 및 주변회로부에 비트라인 콘택홀을 형성하는 공정과,

상기 비트라인 측벽에 제3절연막 스페이서를 형성하는 공정과,

상기 전체표면상부에 확산장벽층 및 비트라인용 금속층을 형성하고 상기 제1절연막의 일정깊이까지 상기 확산장벽층 및 비트라인용 금속층을 식각하는 공정과,

상기 확산장벽층 및 비트라인용 금속층 상측으로 상기 제1절연막 높이까지 제4절연막을 형성하는 공정을 포함하는 반도체소자의 비트라인 형성방법.

청구항 2

제 1 항에 있어서,

상기 제2절연막 스페이서 형성공정없이 비트라인을 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 3

제 1 항에 있어서,

상기 제3절연막 스페이서 형성공정없이 비트라인을 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한항에 있어서,

상기 제1,2층간절연막과 제1절연막은 유동성이 우수한 산화계 절연물질로 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 5

제 1 항 내지 제 3 항 중 어느 한항에 있어서,

상기 식각방지막은 실리콘화질화막이나 실리콘질화막으로 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 6

제 1 항 및 제 2 항 중 어느 한항에 있어서,

상기 제3절연막은 실리콘산화질화막이나 실리콘질화막으로 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 7

제 1 항 및 제 3 항 중 어느 한항에 있어서,

상기 제2절연막은 실리콘산화질화막이나 실리콘질화막으로 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

청구항 8

제 1 항 내지 제 3 항 중 어느 한항에 있어서,

상기 확산방지막은 Ti, TiN, TiSiN, TiAlN 이 이루는 군에서 임의의 한가지 또는 이들의 조합으로 이루어진 것을 특징으로하는 반도체소자의 비트라인 형성방법.

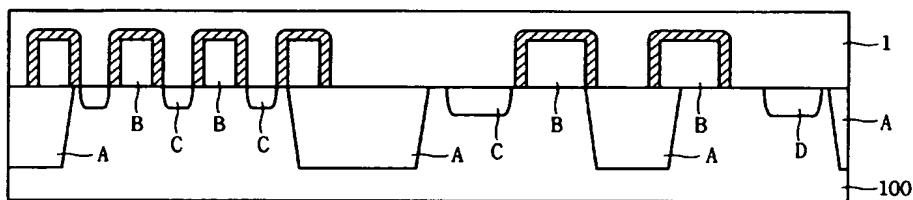
청구항 9

제 1 항 내지 제 3 항 중 어느 한항에 있어서,

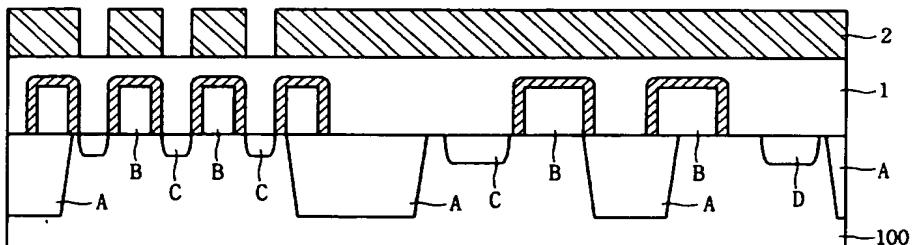
상기 제4절연막은 실리콘산화질화막이나 실리콘질화막으로 형성하는 것을 특징으로하는 반도체소자의 비트라인 형성방법.

도면

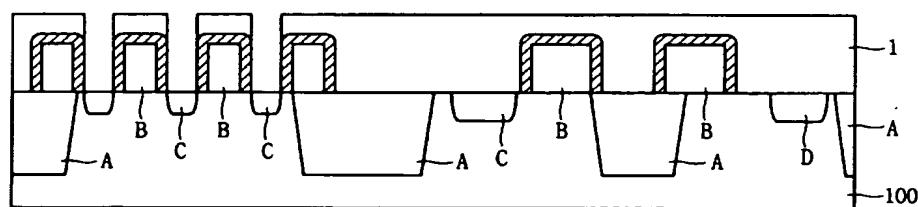
도면1



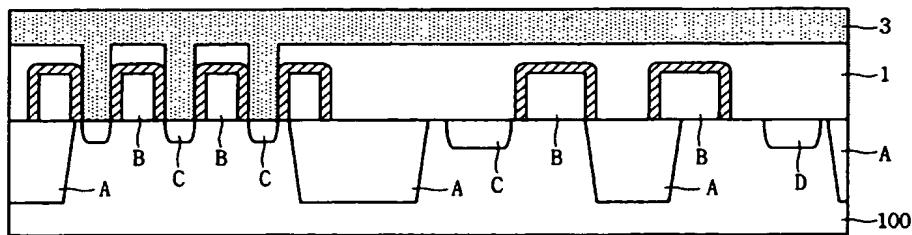
도면2



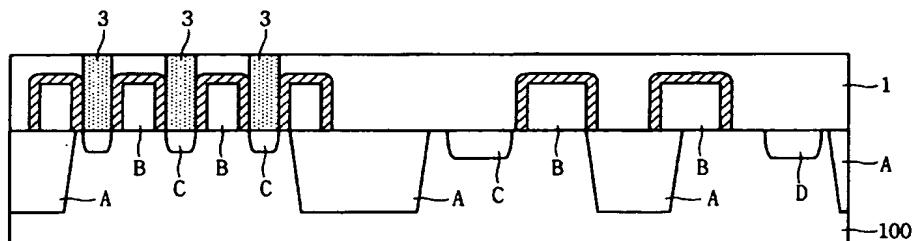
도면3



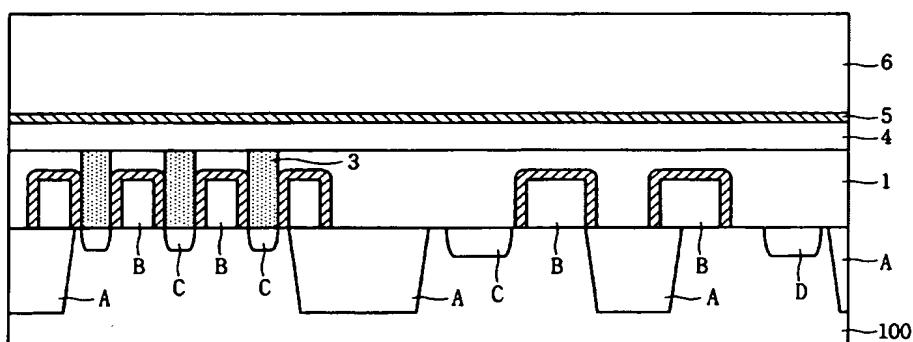
도면4



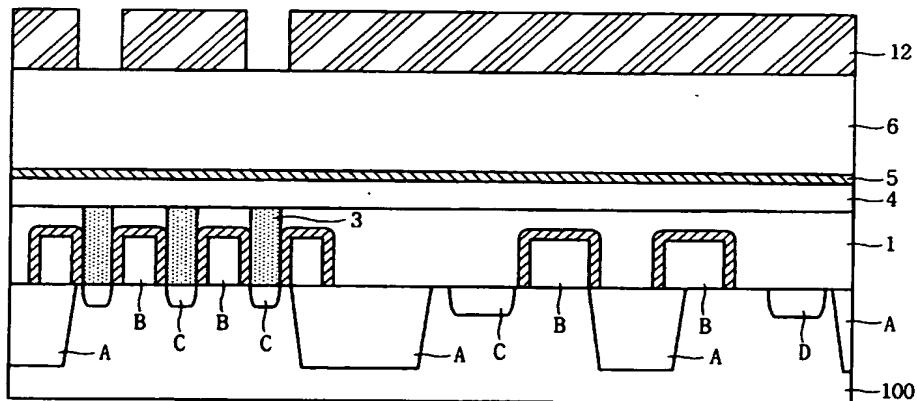
도면5



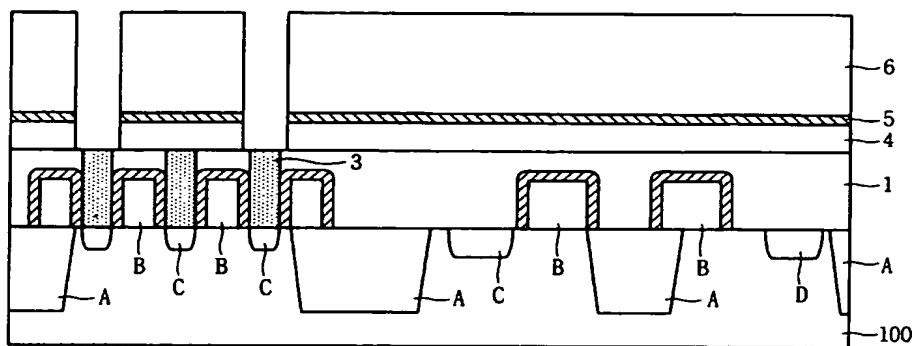
도면6



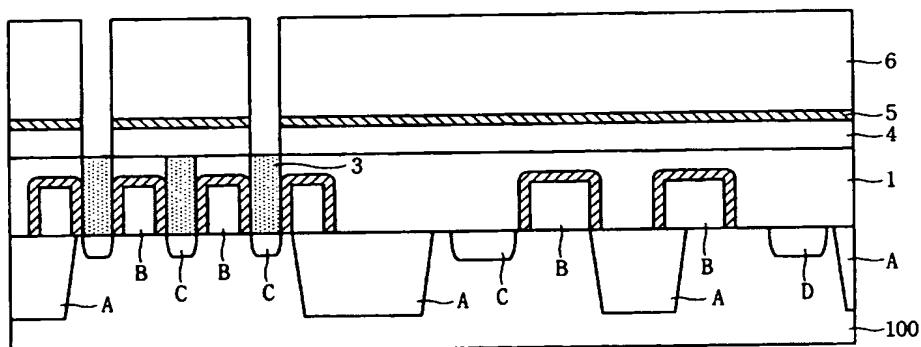
도면7



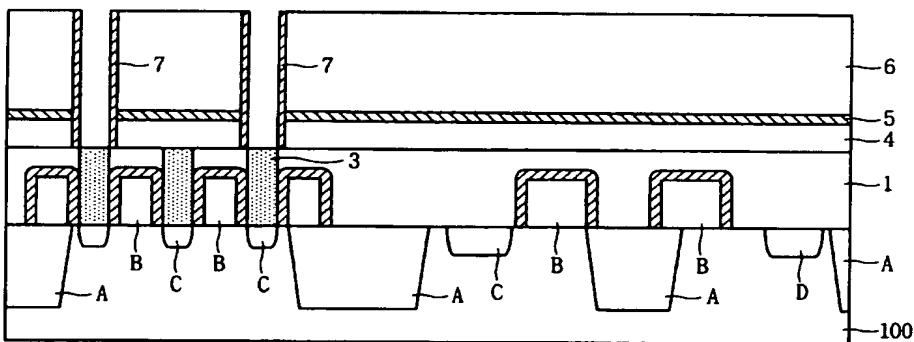
도면8



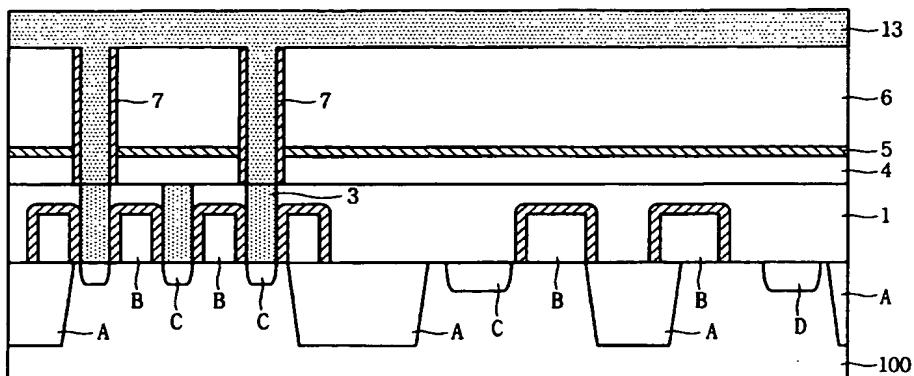
도면9



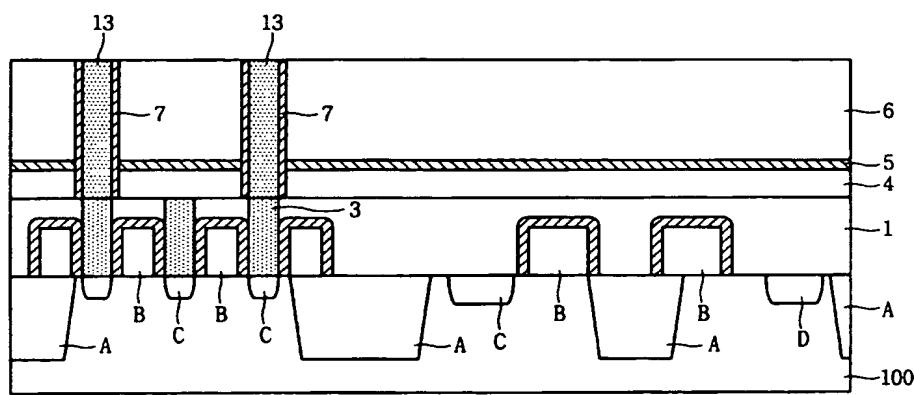
도면10



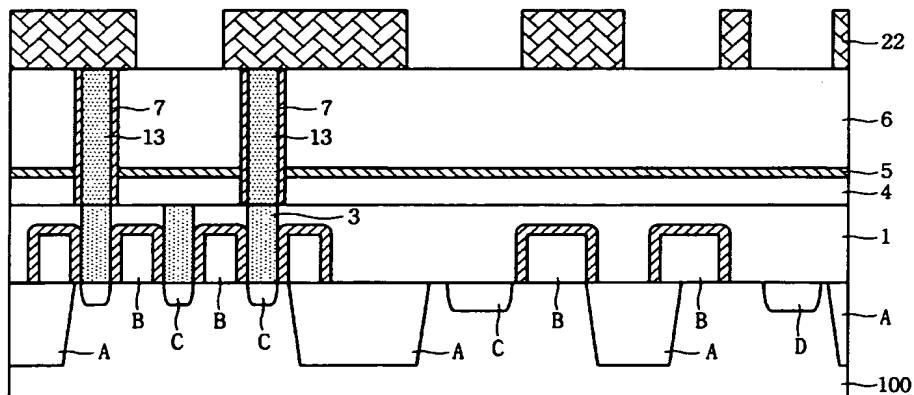
도면11



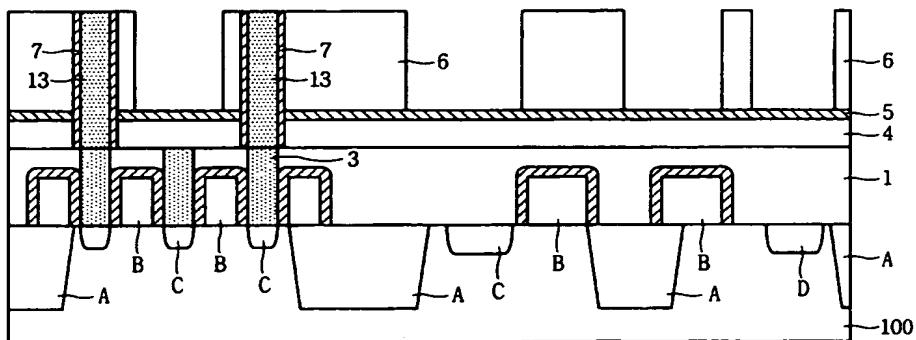
도면12



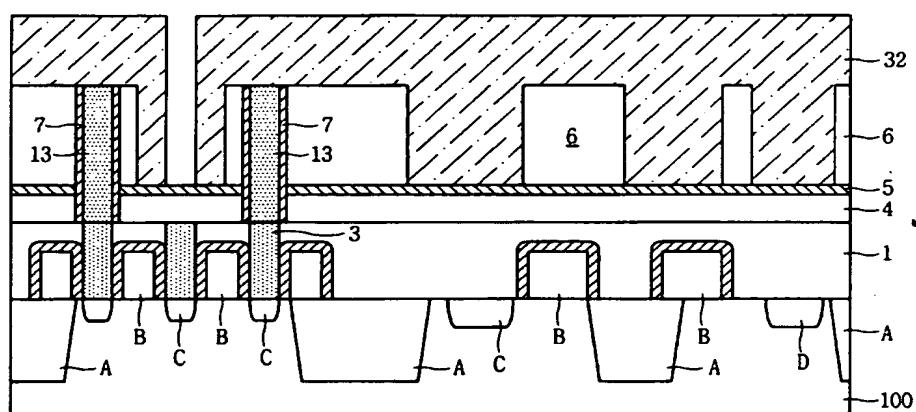
도면13



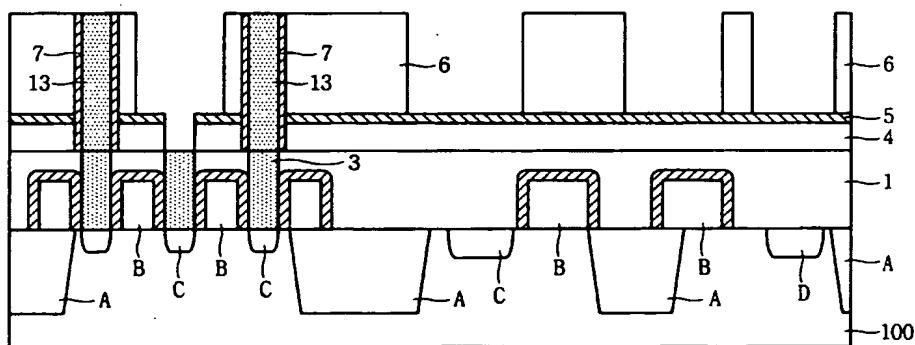
도면 14



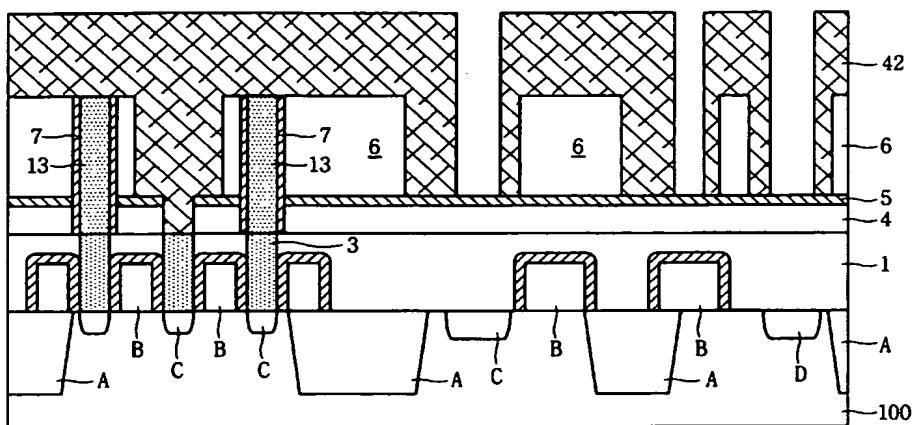
도면 15



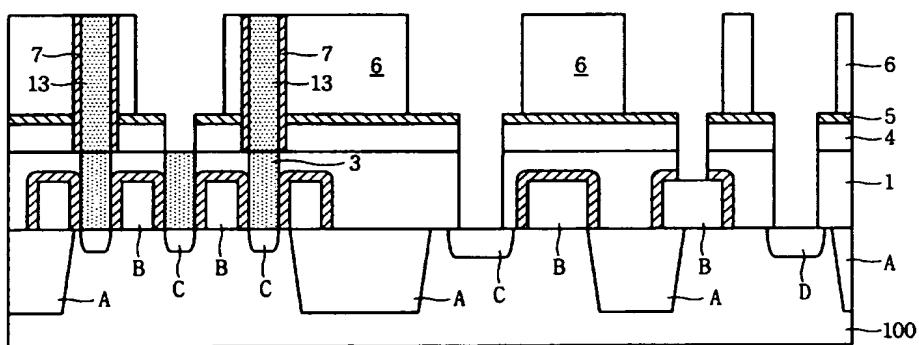
도면 16



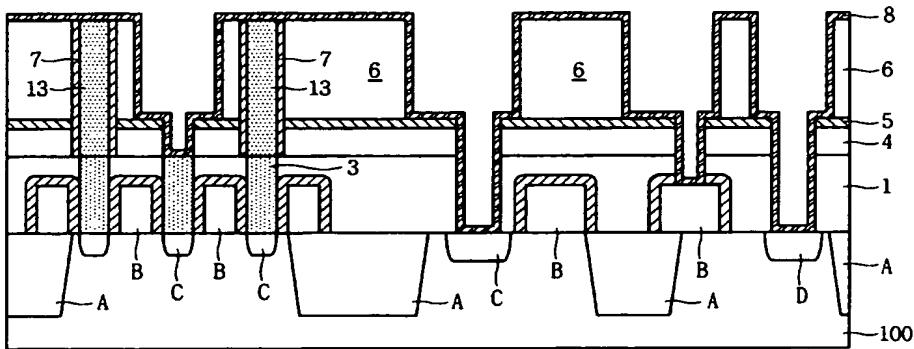
도면17



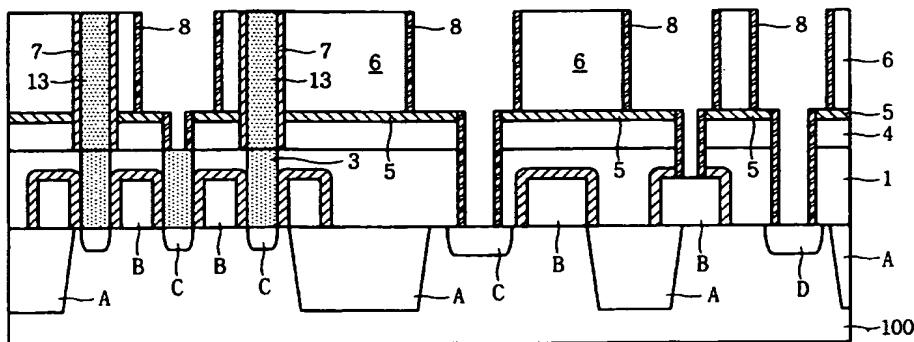
도면18



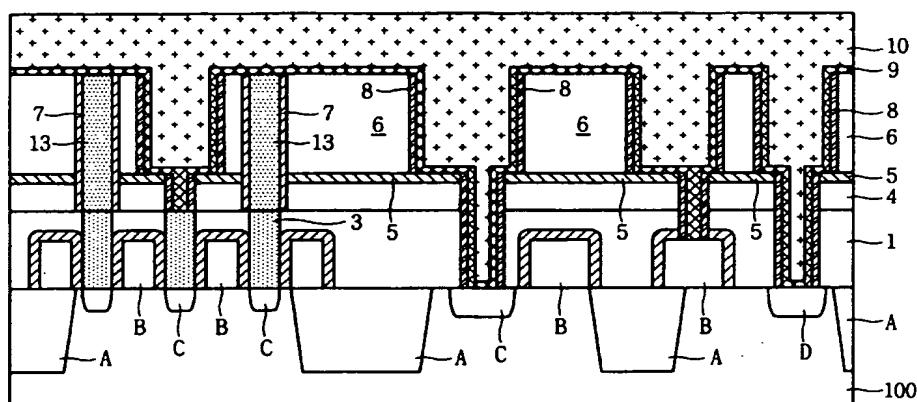
도면19



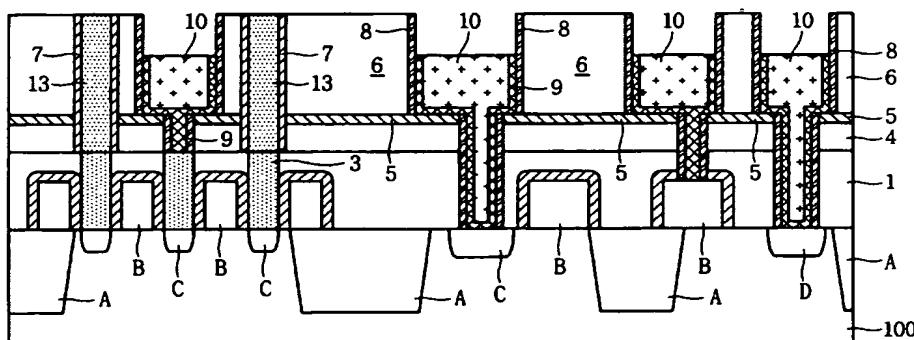
도면20



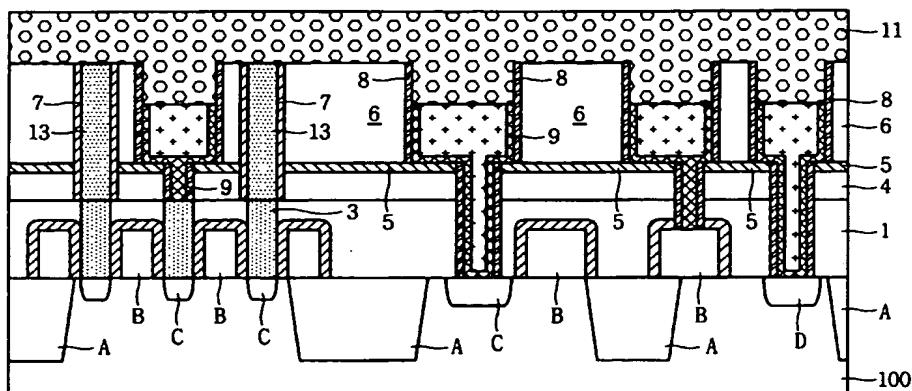
도면21



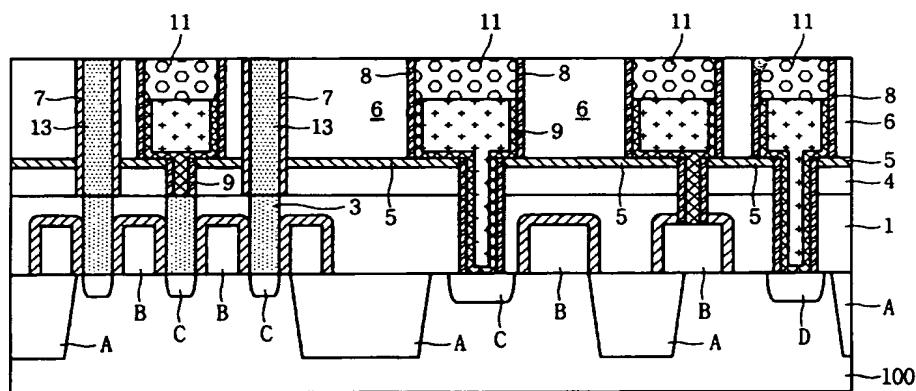
도면22



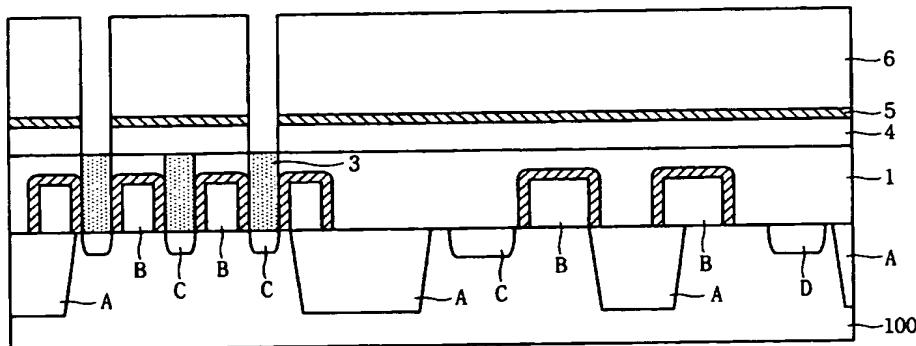
도면23



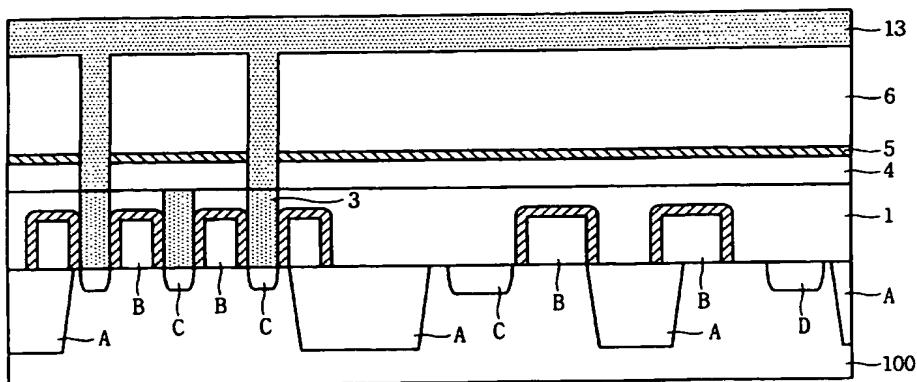
도면24



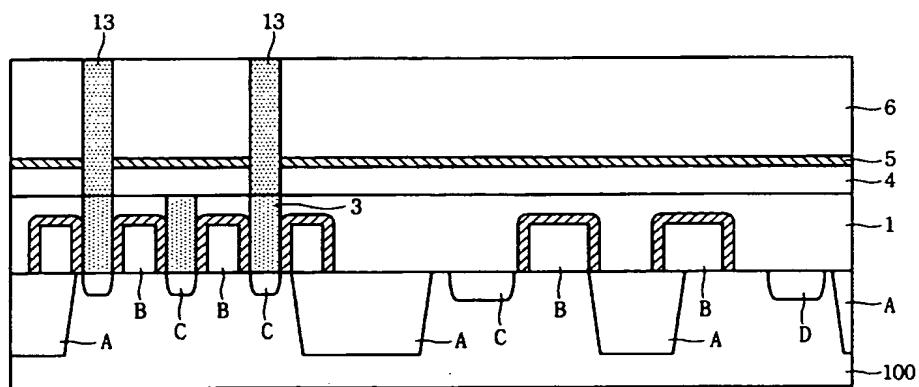
도면25



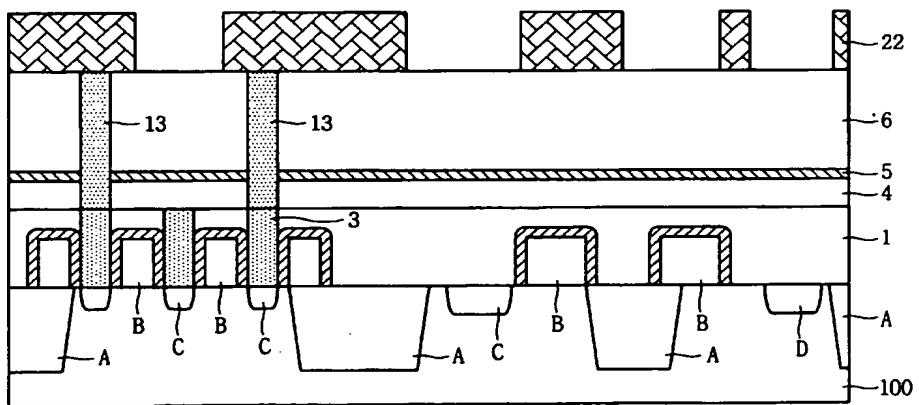
도면26



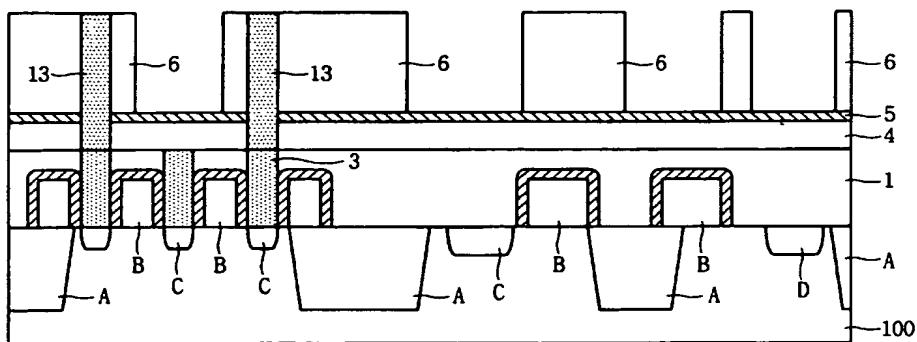
도면27



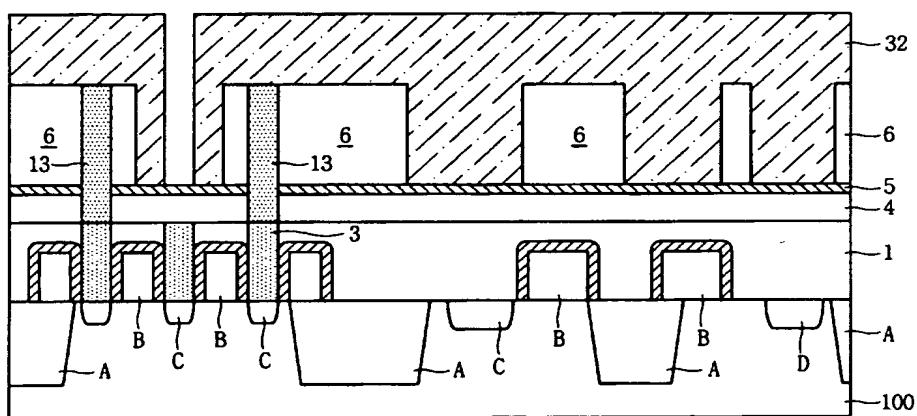
도면28



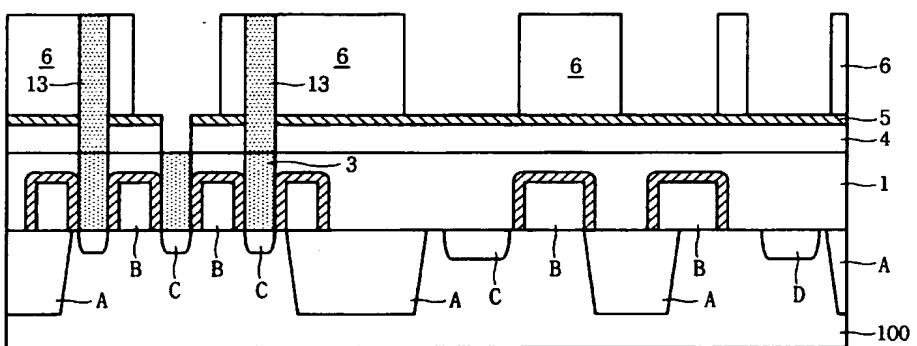
도면29



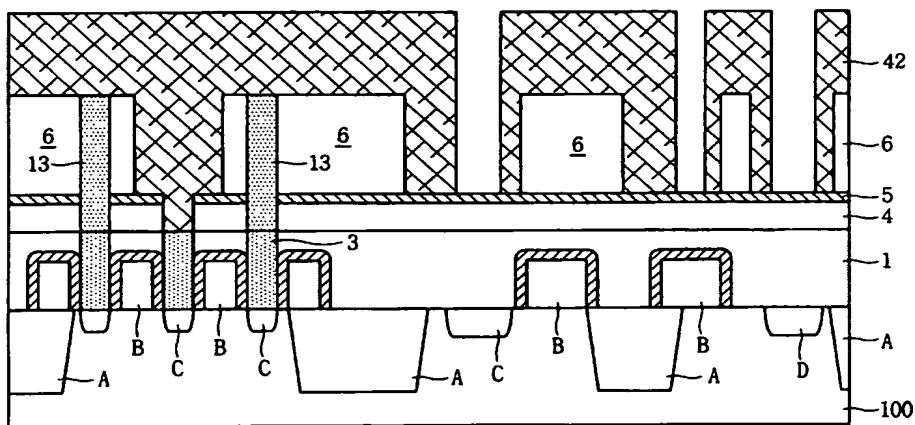
도면30



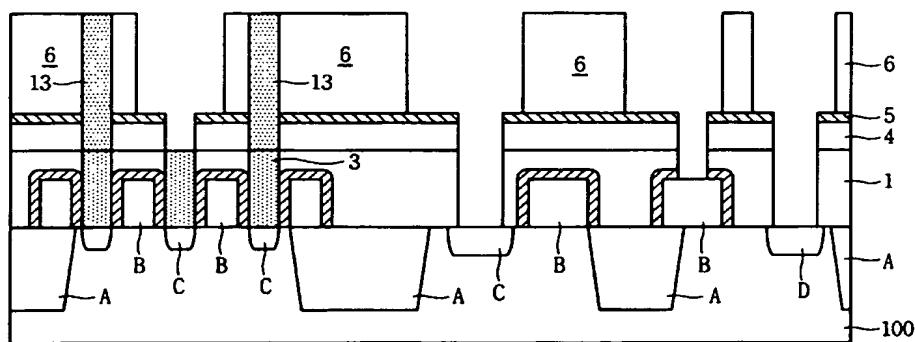
도면31



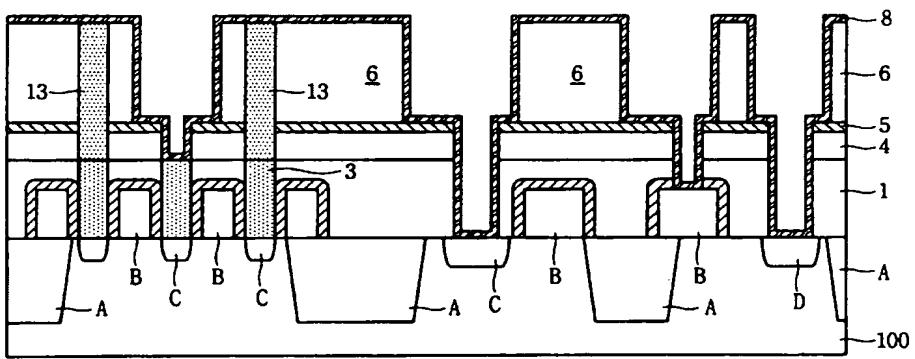
도면32



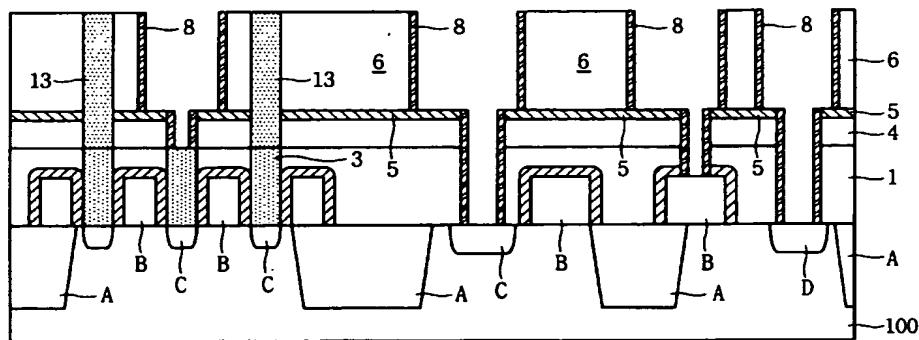
도면33



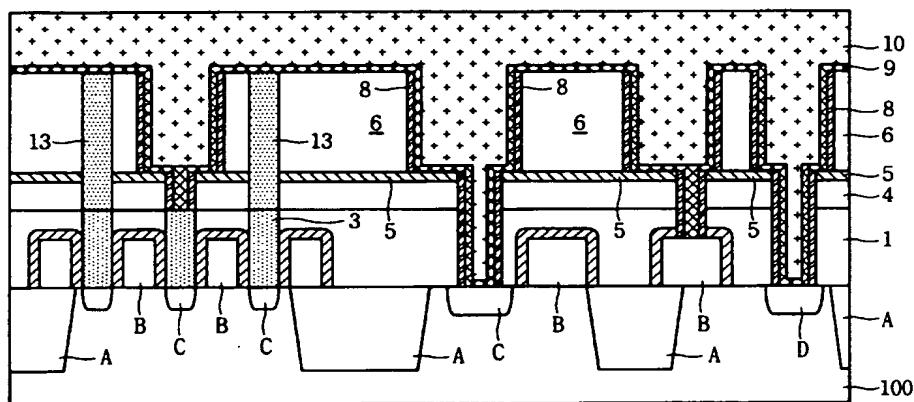
도면34



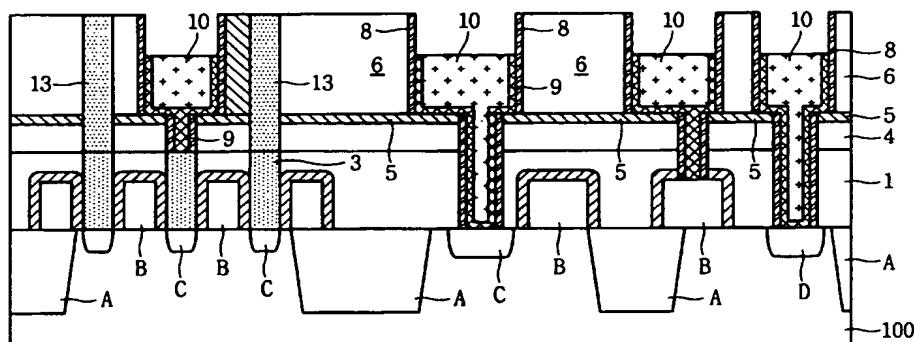
도면35



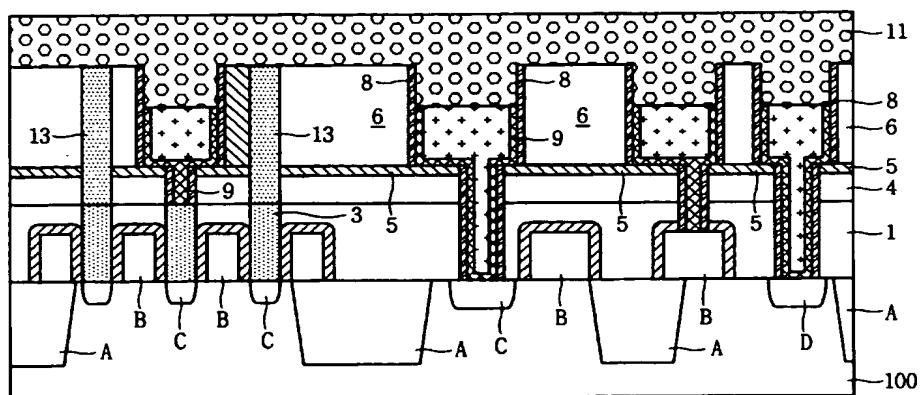
도면36



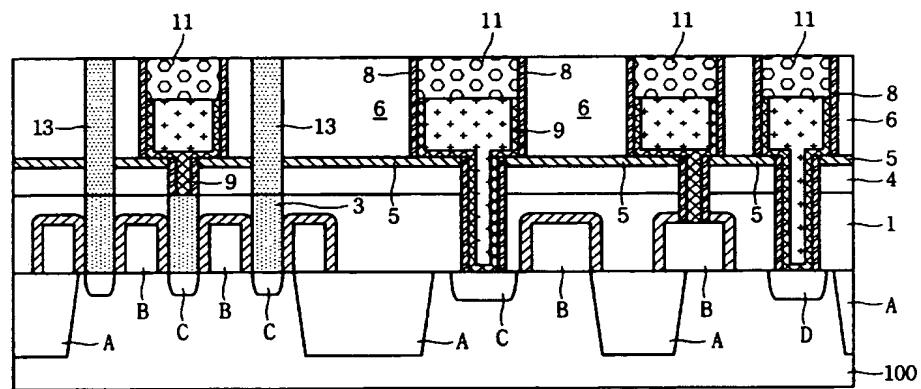
도면37



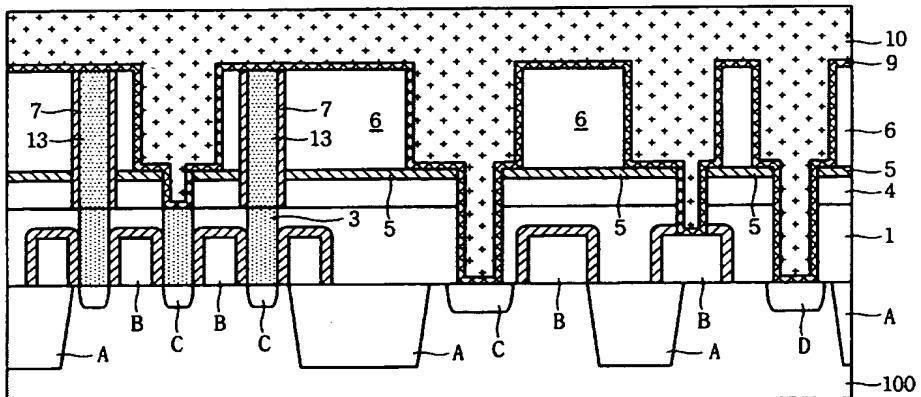
도면38



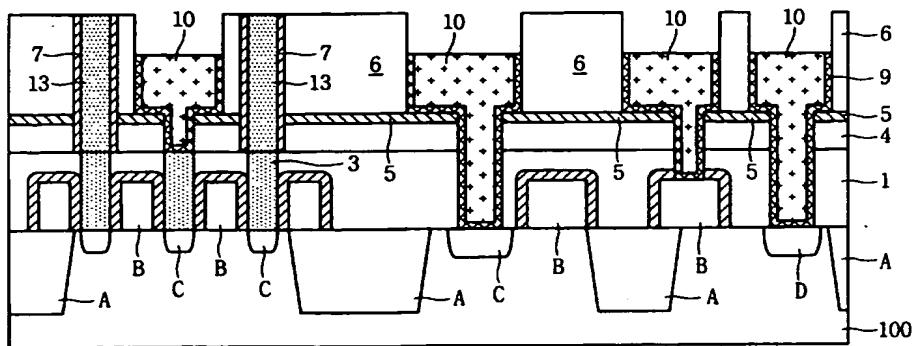
도면39



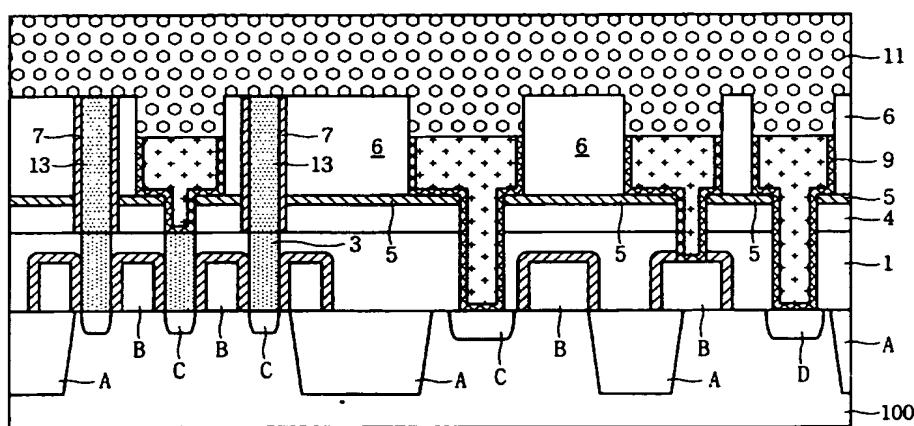
도면40



도면41



도면42



도면43

